

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCT81 U.S. PTO  
10/027918  
12/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月28日

出 願 番 号

Application Number:

特願2000-403225

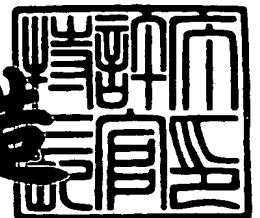
出 願 人  
Applicant(s):

セイコーエプソン株式会社

2001年 9月10日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3083411

【書類名】 特許願

【整理番号】 J0074703

【提出日】 平成12年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 工藤 真

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デバッグ装置

【特許請求の範囲】

【請求項 1】 オンチップデバッグ機能を備えたマイクロコンピュータが実装されたターゲットボードと、

前記ターゲットボードに設けられたデバッグ用インタフェース端子を介して接続され前記オンチップデバッグ機能を利用してデバッグを行なうデバッガと、

前記ターゲットボードから引き出されたアドレスバス、データバス、制御バスの各信号を監視して予め設定されたブレーク条件を満足したときにブレーク信号を出力するブレークボードと

を備えたことを特徴とするデバッグ装置。

【請求項 2】 前記ブレークボードは前記ブレーク条件の格納部を備えるとともに、前記デバッガから前記ターゲットボードを介して前記格納部に前記ブレーク条件を書き込む構成としたことを特徴とする請求項 1 記載のデバッグ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オンチップデバッグ機能を利用したデバッグ装置に係り、詳しくは、外部回路を用いてブレーク機能を拡張できるようにしたデバッグ装置に関するものである。

【0002】

【従来の技術】

特開平 2 - 1 8 6 4 4 8 号公報（特公平 5 - 5 0 0 1 6 号公報）には、マイコン ASIC 内のユーザプログラムを外部のホストコンピュータとの通信を行ないながらデバッグできるようなプリミティブデバッガプログラムを、マイコン ASIC チップ上に設けた ROM 内に格納することで、ソフトウェアのデバッグを行なえるようにしたデバッグ環境を備えた集積回路が記載されている。このデバッグ環境を備えた集積回路は次のように構成されている。マイクロプロセッサをコアにして ROM や RAM および周辺 LSI の各種機能を 1 チップに組み合わせて

特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中断のためのブレーク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、マイコンASICのデバッグ時にはホストコンピュータと通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアとデバッグROM内のデバッグ用ソフトウェアとが通信を行ないながら、ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行なう。

## 【0003】

特開平4-77833号公報（特公平7-27472号公報）には、ホストコンピュータからシリアル通信ブロックを介してコントロールCPUおよびコントロールROM・RAMとの間で通信を行なうことにより、ユーザROMおよびRAM内に格納されたプログラムのデバッグを外部から実行できるようにしたデバッグ環境を備えた集積回路が記載されている。このデバッグ環境を備えた集積回路は次のように構成されている。メインCPUをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、システムデバッグを行なうためにインサーキットエミュレータとして少なくとも必要な実時間実行機能、ブレーク機能、内容確認機能、トレース機能、マッピング機能を制御するメインCPUとは独立したコントロールCPUブロックと、このシステムデバッグのためのコントロールソフトを格納するROMおよびRAMと、トレース内容結果を格納するトレースメモリRAMと、プログラム実行中断のためのブレーク回路部と、デバッグ時にホストコンピュータ通信を行なうためのシリアル通信ブロックとを備える。

## 【0004】

特開平8-161191号公報には、高速のMPUがターゲットである場合でもデバッグを行なえるようにしたインサーキットエミュレータが記載されている。このインサーキットエミュレータは、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行なうノンブレークデバッグ機能、および、オフチップのモニタメモリアクセスインタフェース機

能を持つデバッグユニットを備える。

【0005】

特開平8-179958号公報には、ホストコンピュータからの指令に応じて、マイコン内部に組み込まれたデバッグ用プログラムを実行させることにより、ICEを用いることなくデバッグを可能としたマイコン（制御用電子装置）が記載されている。このマイコン（制御用電子装置）は次のように構成されている。デバッグのためにアプリケーションプログラムを中断させる場合は、修正アドレスレジスタにブレークアドレスを、修正データレジスタに中断動作実行プログラムを開始させるためのデータを、制御フラグラッチに「1」をそれぞれ格納するプログラムをホスト側からの指令で実行させ、CPUの実行アドレスがブレークアドレスに一致したとき、比較器の出力信号に基づきCPUのアクセス対象をROMから修正データレジスタに切り換える。この他にも、マイコン内に組み込まれた種々のデバッグ用プログラムを実行させることにより、様々なデバッグ動作を行なわせることができる。

【0006】

特開平10-214201号公報には、マイコン内部にプログラムデバッグ時に使用する種々の機能を備えたデバッグ回路を持ち、かつ同一チップ上に内蔵した電氣的に書き込み／消去が可能なフラッシュメモリをエミレーションメモリとして使用できるようにしたマイクロコンピュータが記載されている。このマイクロコンピュータは次のように構成されている。開発段階のプログラムが格納される電氣的に書き込む／消去が可能なフラッシュメモリと、外部のICEとの接続のための専用入出力端子を持つデバッグ回路とを内蔵し、デバッグ回路にCPUとの通信機能、ICEとの通信機能、CPUの動作状態のトレース機能、デバッグ割り込みを発生させるブレーク機能、ICEからのプログラムコードをフラッシュメモリに書き込む機能、フラッシュメモリの内容をICEに送る機能を持たせる。

【0007】

雑誌 日経エレクトロニクス 1999年3月22日号 P215～P225

「組み込みソフトウェア開発に浸透し始めオン・チップ・デバグ」には、以下

のことが記載されている。マイクロプロセッサを内蔵した組み込み機器向けソフトウェアの開発手法が変わり始めている。命令セットにデバグ専用命令を加えたマイクロプロセッサと専用デバグを組み合わせるソフトウェアをデバグする「オン・チップ・デバグ」と呼ぶ手法を採用する場面が増えてきた。オン・チップ・デバグは、次のようなシステムで行なう。デバグ機能を内蔵したマイクロプロセッサはプリント基板に搭載し、プリント基板上に用意した10ピン前後のデバグ専用コネクタからデバグ専用ピンの信号を引き出せるようにしておく。このコネクタ経由でケーブルを引き出し、デバグと接続する。デバグはマイクロプロセッサ上のデバグ機能を制御する回路やパソコンとのインタフェース回路などを内蔵する。デバグは、パソコンにPCカードスロットやRS-232Cなどのインタフェースで接続する。パソコンには専用のソフトウェアをインストールする必要がある。

## 【0008】

## 【発明が解決しようとする課題】

オンチップデバグでは、チップ上に搭載されたブレーク回路等を利用してブレーク機能を実現している。ブレーク機能を実現するためには、ブレーク条件を格納するレジスタ等と、レジスタ等に設定されたブレーク条件とCPUがアクセスするアドレス、データ等とを比較する比較回路等が必要である。ブレーク回路を複数組設けることで複数のブレークポイントを設定することが可能になる。しかしながら、ブレーク回路を複数組設けるとデバッグ回路部の回路規模（ゲート数）が増加する。マイコンやASICマイコンを実現する上で、デバッグ回路部の回路規模を必要以上に大きくするのは、経済的に好しくない場合がある。このため、オンチップデバグで利用できるブレーク機能（設定できるブレークポイントの数）は数点（2～8点）程度であるのが一般的である。実際のデバッグ作業時には、プログラムの実行が想定されたアドレス範囲外に及んだことを検出するためのマップブレーク機能や、複雑な条件のデータブレーク機能等が必要になることがある。このため、オンチップデバッグ機能を利用したデバッグ装置においてブレーク機能を拡張できるようにすることが望まれていた。

## 【0009】

この発明はこのような課題を解決するためなされたもので、オンチップデバッグ機能を利用したデバッグ装置において、外部回路を用いてブレーク機能を拡張できるようにしたデバッグ装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

前記課題を解決するためこの発明に係るデバッグ装置は、オンチップデバッグ機能を備えたマイクロコンピュータが実装されたターゲットボードと、ターゲットボードに設けられたデバッグ用インタフェース端子を介して接続されマイクロコンピュータに内蔵されたオンチップデバッグ機能を利用してデバッグを行なうデバッガと、ターゲットボードから引き出されたアドレスバス、データバス、制御バスの各信号を監視して予め設定されたブレーク条件を満足したときにブレーク信号を出力するブレークボードとから構成される。

【 0 0 1 1 】

なお、ブレークボードはブレーク条件の格納部を備えるとともに、デバッガからターゲットボードを介して格納部にブレーク条件を書き込める構成とするのが望ましい。

【 0 0 1 2 】

この発明に係るデバッグ装置は、ターゲットボードにブレークボードを接続し、このブレークボードによってブレーク信号を出力する構成としたので、ブレーク機能を拡張することができる。例えば、マイクロコンピュータに内蔵されているオンチップデバッグ機能では、数点のブレークポイントしか設定できない場合でも、ブレークボードを用いることでさらに多数のブレークポイントを設定することができる。したがって、特定のアドレス範囲がアクセスされたことを検出してユーザプログラムの動作を停止させるマップブレーク、特定のアドレスに特定のデータが書き込みまたは読み出しされた際にユーザプログラムの動作を停止させるバスブレーク、複数のバスブレークの条件が所定の時系列で発生した場合にユーザプログラムの動作を停止させるシーケンシャルブレーク等の各種のブレーク機能を実現することができる。

【 0 0 1 3 】



【発明の実施の形態】

以下、この発明の実施の形態を添付図面に基づいて説明する。

【0014】

図1はこの発明に係るデバッグ装置の全体構成を示すブロック構成図である。この発明に係るデバッグ装置1は、ターゲットボード10と、デバッガ20と、ブレークボード30とからなる。

【0015】

ターゲットボード10には、オンチップデバッグ機能を備えたマイクロコンピュータ11、ならびに、ROM12、RAM13および図示しない各種機能回路部等が実装されるている。このターゲットボード10には、デバッグ用インタフェース端子群14と、各種バス（アドレスバス、データバス、制御バス）15を外部に引き出すためのバスインタフェース端子群16とが設けられている。

【0016】

マイクロコンピュータ11は、CPU11aとデバッグ回路11bとを少なくとも備える。CPU11aとデバッグ回路11bとは内部バス（アドレスバス、データバス、制御バス）11cで接続されている。なお、マイクロコンピュータ11は、CPU11a、デバッグ回路11bの他にROM、RAM、A/D変換器やD/A変換器、各種タイマ回路等の周辺機能回路を備える構成でもよい。

【0017】

デバッグ用インタフェースは、スタンダード テスト アクセス ポート バウンダリースキャン アーキテクチャの規格（一般にJTAGと呼称される）に対応したものをを用いている。なお、デバッグ用インタフェースは、専用（独自）のインタフェースを用いる構成としてもよい。

【0018】

デバッグ回路11bは、デバッグ動作を制御するためのモニタプログラムを格納したモニタROMと、CPU11aとデータ通信を行なう機能部と、デバッガ20とデータ通信を行なう機能部と、数点のブレーク条件を一時記憶しておき設定されたブレーク条件を検出した際にブレーク信号を発生してユーザプログラムの実行を停止させるブレーク回路と、ユーザプログラムの実行状態においてリア

ルタイムトレースに必要なデータを抽出してデバッガ20側へ抽出したデータを送出するトレースデータ抽出機能部等を備える。

【0019】

デバッグ回路11bは、デバッグ回路11bに内蔵されたブレーク回路によってブレーク信号が発生された場合、ならびに、デバッガ20側からブレーク要求が供給された場合には、ブレーク要求信号11dをCPU11aのノンマスカブルインタラプト入力端子（強制割り込み入力端子）へ供給することで、ユーザプログラムの実行を停止させる。

【0020】

デバッガ20は、デバッグツール21とホストシステム22とからなる。ホストシステム22は、パーソナルコンピュータやエンジニアリングワークステーション等を用いて構成している。ホストシステム22には、デバッグ用のソフトウェアがインストールされている。デバッグツール21とホストシステム22との間は例えばRS-232Cケーブル等のホスト接続ケーブル23で接続され、ホスト接続ケーブル23を介してデバッグツール21とホストシステム22との間でデータ通信を行なえるようにしている。

【0021】

デバッグツール21とターゲットボード10との間はデバッグ用ケーブル24で接続されている。デバッグツール21は、デバッグ用ケーブル24を介してマイクロコンピュータ11に内蔵されているデバッグ回路とデータ通信を行なう機能と、ホスト接続ケーブル23を介してホストシステム22とデータ通信を行なう機能と、デバッグ動作を制御する機能等を備える。

【0022】

デバッグツール21は、ブレークボード30からブレーク発生信号30aが供給されると、ユーザプログラムの実行を停止させるブレーク指令をデバッグ回路11bへ送出し、デバッグ回路11bを介してブレーク要求信号11dをCPU11aのノンマスカブルインタラプト入力端子（強制割り込み入力端子）へ供給させることで、ユーザプログラムの実行を停止させる。

【0023】

デバッガ 2 0 ならびにデバッグ回路 1 1 b の具体的な動作は次のとおりである。デバッガツール 2 1 は、ホストシステム 2 2 からデバッグ回路 1 1 b に内蔵されたブレーク回路に対するブレークポイントの設定要求が供給されると、そのブレークポイントをデバッグ回路 1 1 b に内蔵されたブレーク回路に設定するための指令を送出して、デバッグ回路 1 1 b に内蔵されたブレーク回路にブレークポイントを設定させる。

【 0 0 2 4 】

デバッガツール 2 1 は、ホストシステム 2 2 からユーザプログラムの実行要求が供給されると、デバッグ回路 1 1 b にユーザプログラムの実行命令（例えば G O 命令等）を供給してユーザプログラムを実行させる。

【 0 0 2 5 】

デバッグ回路 1 1 b は、ユーザプログラムの実行中にブレークポイントとして設定された条件を検出すると、ブレーク要求信号 1 1 d を C P U 1 1 a へ供給することでユーザプログラムの実行を停止（ブレーク）させるとともに、ユーザプログラムの実行をブレークしたことをデバッグツール 2 1 へ通知する。デバッグツール 2 1 は、ユーザプログラムの実行がブレークされたことをホストシステム 2 2 へ通知する。デバッグツール 2 1 は、ホストシステム 2 2 からアドレスを指定してその内容を読み出す要求が供給されると、その要求をデバッグ回路 1 1 b へ供給して指定アドレスの内容を読み出させるとともに、読み出された内容をホストシステム 2 2 へ供給する。

【 0 0 2 6 】

デバッグ回路 1 1 b は、ユーザプログラムの実行中はリアルタイムトレースを行なうために必要となるデバッグデータを抽出し、抽出したデバッグデータをデバッグツール 2 1 へ送出する。デバッグツール 2 1 は、デバッグ回路側から供給されたデバッグデータをデバッグツール 2 1 内のトレースメモリ部に時系列との対応を付けて格納するとともに、トレースメモリ部に格納したデバッグデータをホストシステム 2 2 へ供給する。

【 0 0 2 7 】

ブレークボード 3 0 は、ブレーク条件格納部 3 1 と、ブレーク信号発生部 3 2

とを備える。ブレーク条件格納部 31 は、各種バス 15 を介して CPU 11 a 側からアクセスできるように構成しており、予め設定されたアドレスを指定することで CPU 11 a 側からブレーク条件を書き込んだり、書き込まれているブレーク条件を読み出せるようにしている。ブレーク条件格納部 31 に格納されたブレーク条件 31 a はブレーク信号発生部 32 へ供給される。

## 【0028】

ブレーク信号発生部 32 は、各種バス 15 の状態を監視しており、各種バス 15 の状態がブレーク条件 31 a に一致した場合にブレーク発生信号 30 a を出力する。ブレーク発生信号 30 a はデバッグツール 21 へ供給され、デバッグツール 21 ならびにデバッグ回路 11 b を介して CPU 11 a へブレーク要求信号 11 d が供給される。

## 【0029】

なお、デバッグツール 21 とデバッグ回路 11 b との間のデータ通信にシリアル通信を用いている場合には、ブレーク発生信号 30 a が発生したことの情報がデバッグ回路 11 b へ供給されるまでに時間遅れを生ずる場合がある。したがって、デバッグツール 21 とデバッグ回路 11 b との間のデータ通信にシリアル通信を用いている場合には、ブレーク発生信号 30 a をデバッグ回路 11 b へ直接供給する構成とするのが望ましい。この場合、デバッグ回路 11 b は、ブレーク発生信号 30 a が供給されるとブレーク要求信号 11 d を CPU 11 a へ供給することでユーザプログラムの動作を停止させるとともに、ブレークボード 30 によってブレークが発生した旨の情報をデバッグツール 21 へ供給する。

## 【0030】

以上の構成であるからこの発明に係るデバッグ装置 1 は、ブレークボード 30 内のブレーク条件格納部 31 にブレーク条件を予め設定しておき、ブレーク信号発生部 32 によって設定したブレーク条件に一致した際にブレーク発生信号 30 a を発生させ、このブレーク発生信号 30 a に基づいてユーザプログラムの実行をブレークさせることができる。

## 【0031】

図 2 はマップブレーク機能を備えたブレークボードの一具体例を示すブロック

構成である。図 2 に示すマップブレーク機能を備えたブレークボード 4 0 は、制御部 4 1 と、ブレーク条件格納部を構成する RAM 4 2 と、データバス切替回路 4 3 と、ブレーク信号発生部 4 4 とからなる。マップブレーク機能とは、例えば不当なアドレス等の特定のアドレスにアクセスされた際に、ユーザプログラムの実行を停止（ブレーク）させるものである。

【 0 0 3 2 】

アドレスバス 1 5 a は、RAM 4 2 のアドレス入力端子群 4 2 a に接続されるとともに、制御部 4 1 のアドレス入力端子群 4 1 a に接続される。データバス 1 5 b は、データ切替回路 4 3 の一方の端子群 4 3 a に接続されるとともに、制御部 4 1 のデータ入出力端子群 4 1 b に接続される。データ切替回路 4 3 の他方の端子群 4 3 b はブレーク信号発生部 4 4 のデータ入力端子群 4 4 a に接続される。RAM 4 2 のデータ入出力端子群 4 2 b はデータ切替回路 4 3 の共通端子群 4 3 c に接続される。

【 0 0 3 3 】

制御部 4 1 は、この制御部 4 1 に対して予め設定されたアドレスが供給されるとそのアドレスが指定されたことを示す信号を出力するアドレスデコード回路と、アドレスデコード回路の出力信号とライト信号とに基づいてデータバス 1 5 b 上に供給されているデータをラッチするデータラッチ回路と、データラッチ回路にラッチされた制御データに基づいてこのブレークボード 4 0 の動作を制御する制御回路とを備える。

【 0 0 3 4 】

制御部 4 1 は、図 1 に示した CPU 1 1 a 側から各種バス 1 5 を介してこの制御部 4 1 に対する制御データの書き込む要求が出されると（この制御部 4 1 に対して予め設定されたアドレスを指定して制御データの書き込み要求が出されると）、その制御データを制御部 4 1 の内部のデータラッチ回路にラッチする。

【 0 0 3 5 】

CPU 1 1 a 側から供給された制御データがマップブレーク条件の書き込み要求またはマップブレーク条件の読み出し要求である場合の動作は次のとおりである。制御部 4 1 は例えば H レベルのデータバス切替制御信号 4 1 c を出力する。

データ切替回路43は、例えばHレベルのデータバス切替制御信号41cが供給されると、一方の端子群43aと共通端子群43cとがそれぞれ接続された状態にする（図2において点線で示す切り替え状態とする）。これにより、データバス15bがRAM41のデータ入出力端子42bに接続される。制御部41は、制御バス15c中のライト信号15WをRAM42のライト信号入力端子41cへ供給するとともに、制御バス15c中のリード信号15RをRAM42のリード信号入力端子41dへ供給する。

【0036】

これにより、各種バス15を介してブレークボード40上のRAM41にアクセスできる状態となる。この状態で、各アドレス毎にそのアドレスをブレークポイントとするか否かを示すデータを書き込む。例えば、ブレークポイントを設定するアドレスに対してはデータ「1」を、ブレークポイントとして設定しないアドレスに対してはデータ「0」を書き込む。なお、RAM41の各アドレスに格納されたブレークポイントであるか否かを示すデータは、RAM41に格納されたデータを読み出すことで確認することができる。

【0037】

図1に示したデバッガ20は、ターゲットボード10内のデバッグ回路11bならびにCPU11aを介してブレークボード40上のRAM41の全アドレス範囲に亘ってブレークポイントとするか否かを示すデータを書き込み、その書き込み動作が完了すると、マップブレーク動作開始を要求するデータを制御部41に書き込む。

【0038】

制御部41は、マップブレーク動作開始を要求するデータが書き込まれると、例えばLレベルのデータバス切替制御信号41cを出力する。データ切替回路43は、例えばLレベルのデータバス切替制御信号41cが供給されると、他方の端子群43bと共通端子群43cとがそれぞれ接続された状態にする（図2において実線で示す切り替え状態とする）。これにより、RAM41のデータ入出力端子42bとブレーク信号発生部44のデータ入力端子群44aとが接続される。

【 0 0 3 9 】

また、制御部 4 1 は、マップブレーク動作開始を要求するデータが書き込まれると、RAM 4 2 のリード信号入力端子 4 2 d にリード状態を示す論理レベルの信号を供給するとともに、RAM 4 2 のライト信号入力端子 4 2 c にライト状態ではないことを示す論理レベルの信号を供給する。さらに、制御部 4 1 は、マップブレーク動作開始を要求するデータが書き込まれると、ブレーク信号発生部 4 4 の動作を許可するブレーク信号発生許可信号 4 1 d をブレーク信号発生部 4 4 へ供給することで、ブレーク信号発生部 4 4 をアクティブ状態（動作状態）に制御する。

【 0 0 4 0 】

ユーザプログラムが実行され各種のアドレスに対するアクセスがなされると、RAM 4 1 からアクセスされたアドレスに対して設定されたブレークポイントとするか否かを示すデータが出力され、このデータはデータバス切替回路 4 3 を介してブレーク信号発生部 4 4 へ供給される。

【 0 0 4 1 】

ブレーク信号発生部 4 4 は、ブレークポイントとするか否かを示すデータに基づいてブレークポイントであるか否かを判断し、ブレークポイントである場合にはブレーク発生信号 4 0 a を出力する。本実施の形態では、ブレークポイントとして設定されたアドレスがアクセスされると RAM 4 2 からデータ「1」が出力されるので、ブレーク信号発生部 4 4 はデータ「1」に基づいて例えば H レベルのブレーク発生信号 4 0 a を出力する。

【 0 0 4 2 】

以上の構成であるから図 2 に示したブレークボード 4 0 を用いることで、1 または複数のアドレスに対してブレークポイントを設定したり、1 または複数のアドレス範囲に亘ってブレークポイントを設定したりすることができる。

【 0 0 4 3 】

なお、制御部 4 1 に RAM 4 2 のデータを初期化する機能を備える構成とし、ブレークポイントとして指定するアドレスに対してのみブレークポイントであることを示すデータを書き込むようにしてもよい。

## 【0044】

本実施の形態ではRAM42の各アドレス毎にそのアドレスをマップブ레이크とするか否かのデータを格納する例を示したが、ブ레이크ポイントとして設定するアドレスをラッチするデータラッチ回路を複数個設けるとともに、データラッチ回路にラッチされたアドレス（ブ레이크ポイントとなるアドレス）とアドレスバス上のアドレスとの大小関係ならびに一致を検出するマグニチュードコンパレート回路等を複数個設け、これら複数のマグニチュードコンパレート回路等の比較出力に基づいて1または複数のアドレスでブ레이크発生信号を発生させたり、1または複数のアドレス範囲でブ레이크発生信号を発生させたりする構成としてもよい。

## 【0045】

図3はバスブ레이크機能を備えたブ레이크ボードの一具体例を示すブロック構成である。バスブ레이크機能とは、特定のアドレスに特定のデータが書き込まれたり、特定のアドレスから特定のデータが読み出されたりした際に、CPUの動作を停止（ブ레이크）させるものである。

## 【0046】

図3に示すバスブ레이크機能を備えたブ레이크ボード50は、ブ레이크条件設定制御部51と、ブ레이크条件格納部52と、ブ레이크信号発生部53と、バス状態ラッチ部54とからなる。ブ레이크条件格納部52は、ブ레이크アドレス格納部52aとブ레이크データ格納部52bと、ブ레이크発生条件格納部52cとを備える。バス状態ラッチ部54は、アドレスラッチ部54aと、データラッチ部54bと、アクセス状態ラッチ部54cとを備える。

## 【0047】

本実施の形態で、アドレスバス15aのバス幅は32ビット、データバス15bのバス幅は16ビットとする。制御バス15cは、ライト（書き込み）信号と、リード（読み出し）信号と、メモリアドレス空間に対するアクセス（書き込みまたは読み出し）であるかIO（入出力）アドレス空間に対するアクセスであるかを識別させるためのアクセス空間指定信号とを有する。

## 【0048】



ブレーク条件設定制御部 51 には、このブレーク条件設定制御部 51 を特定するためのアドレスが予め設定されている。ブレーク条件設定制御部 51 は、このブレーク条件設定制御部 51 に対して予め設定されたアドレスが供給されるとそのアドレスが指定されたことを示す信号を出力するアドレスデコード回路と、アドレスデコード回路の出力信号とライト信号とに基づいてデータバス 15b 上に供給されているデータを取り込み、取り込んだデータに基づいてブレーク条件の設定を制御する制御回路とを備えている。

## 【0049】

本実施の形態では、図 1 に示したデバッガ 20 側からターゲットボード 10 を介して次に示す順序でバスブレーク条件を設定するためのデータが供給されるものとする。まず、バスブレーク条件の設定を要求する制御データが供給され、次のバスサイクルでブレークアドレスの上位ビットを指定するデータが供給され、次のバスサイクルでブレークアドレスの下位ビットを指定するデータが供給され、次のバスサイクルでブレークデータが供給され、次のバスサイクルでブレーク発生条件を指定するデータが供給され、次のバスサイクルでバスブレーク動作の起動を要求するデータが供給される。

## 【0050】

ここで、ブレーク発生条件を指定するデータに基づいて、次に示す各種のブレーク発生条件を指定できるようにしている。(1) 指定したメモリ空間アドレスに対して指定したデータがライトされた時にブレークさせる。(2) 指定したメモリ空間アドレスから指定したデータがリードされた時にブレークさせる。(3) 上記の(1)または(2)のときにブレークさせる。(4) 指定した I/O 空間アドレスに対して指定したデータがライトされた時にブレークさせる。(5) 指定した I/O 空間アドレスから指定したデータがリードされた時にブレークさせる。(6) 上記(4)または(5)のときにブレークさせる。

## 【0051】

ブレーク条件設定制御部 51 は、バスブレーク条件の設定を要求する制御データが供給されると、次のバスサイクルで供給されるブレークアドレスの上位ビットのデータとさらに次のバスサイクルで供給されるブレークアドレスの下位ビッ

トのデータとに基づいてブレークアドレスを認識し、そのブレークアドレスをブレークアドレス格納部 52 a に格納する。ブレーク条件設定制御部 51 は、次のバスサイクルで供給されるブレークデータをブレークデータ格納部 52 b に格納する。ブレーク条件設定制御部 51 は、次のバスサイクルで供給されるブレーク発生条件を指定するデータをブレーク発生条件格納部 52 c に格納する。ブレーク条件設定制御部 51 は、次のバスサイクルでバスブレーク動作の起動を要求するデータが供給されると、ブレーク信号発生許可信号 51 a を出力して、ブレーク信号発生部 53 を動作状態に制御する。

【0052】

なお、ブレーク条件設定制御部 51 は、バスブレーク動作の停止を要求するデータが供給された場合には、ブレーク信号発生許可信号 51 a の出力を停止して、ブレーク信号発生部 53 を非動作状態に制御するようにしている。

【0053】

バス状態ラッチ部 54 は、各バスサイクル毎に各バスの状態をラッチする。具体的には、アドレスバス 15 a 上のアドレスデータをアドレスラッチ部 54 a でラッチし、データバス 15 b 上のデータをデータラッチ部 54 b でラッチし、制御バス 15 c 中の各信号によって特定される状態（メモリ空間に対する書き込み、メモリ空間に対する読み出し、I/O 空間に対する書き込み、I/O 空間に対する読み出し）をアクセス状態ラッチ部 54 c にラッチする。

【0054】

ブレーク信号発生部 53 は、ブレーク信号発生許可信号 51 a が供給されている状態で、ブレーク条件格納部 52 に格納されている各ブレーク条件とバス状態ラッチ部 54 でラッチした各ラッチデータとを比較し、各バスの状態がバスブレーク条件に一致している場合にはブレーク発生信号 50 a を出力する。

【0055】

以上の構成であるからバスブレーク機能を備えたブレークボード 50 は、各バス 15 a, 15 b, 15 c が予め設定した特定の状態になった際にブレーク発生信号 50 a は出力させることができる。

【0056】

なお、図 3 に示した回路を複数組設けて、複数個のバスブレイクポイントを設定できるようにしてもよい。この場合は、各ブレイク発生信号の論理和出力をブレイク発生信号として出力するようにする。

【 0 0 5 7 】

図 4 はシーケンシャルブレイク機能を備えたブレイクボードの一具体例を示すブロック構成図である。シーケンシャルブレイク機能とは、複数のバスブレイクポイントを予め設定した特定の順序で通過した際に、ユーザプログラムの実行を停止させるものである。図 4 に示すシーケンシャルブレイク機能を備えたブレイクボード 6 0 は、 $n$  組のバスブレイク機能回路部 5 0 A ~ 5 0 N と、バスブレイク発生順序指定データ格納部 6 1 と、ブレイク信号発生部 6 2 とからなる。

【 0 0 5 8 】

各バスブレイク機能回路部 5 0 A ~ 5 0 N の構成は、図 3 に示したバスブレイク機能を備えたブレイクボード 5 0 と同じである。

【 0 0 5 9 】

バスブレイク発生順序指定データ格納部 6 1 には、このバスブレイク発生順序指定データ格納部 6 1 を特定するためのアドレスが予め設定されている。バスブレイク発生順序指定データ格納部 6 1 は、各種バスを介して特定のアドレスを指定したライト要求が供給されると、データバス上に供給されているバスブレイク発生順序指定データを取り込んで格納する。バスブレイク発生順序指定データ格納部 6 1 に格納されたバスブレイク発生順序指定データ 6 1 a はブレイク信号発生部 6 2 へ供給される。

【 0 0 6 0 】

なお、図 1 に示したデバッガ 2 0 側からターゲットボード 1 0 を介してバスブレイク発生順序データの書き込みがなされる。また、図 1 に示したデバッガ 2 0 側からターゲットボード 1 0 を介して各バスブレイク機能回路部 5 0 A ~ 5 0 N に各バスブレイク条件がそれぞれ設定される。

【 0 0 6 1 】

ここでは、第 1 のバスブレイク機能回路部 5 0 A に第 1 のバスブレイク条件が設定され、第 2 のバスブレイク機能回路部 5 0 B (図示しない) に第 2 のバスブ

ブレーク条件が設定され、第  $n$  のバスブレーク機能回路部 5 0 N に第 3 のバスブレーク条件が設定されているものとする。また、バスブレーク発生順序指定データ格納部 6 1 には、第 1 のバスブレークポイント、第 2 のバスブレークポイント、第 3 のバスブレークポイントの順にバスブレークポイントを通過したときに、シケンシャルバスブレークに係るブレーク発生信号 6 0 a を発生させる旨の条件が格納されているものとする。

#### 【 0 0 6 2 】

ブレーク信号発生部 6 2 は、各バスブレーク機能回路部 5 0 A ～ 5 0 N の出力である各バスブレーク発生信号 6 2 a ～ 6 2 n を監視しており、各バスブレーク発生信号 6 2 a ～ 6 2 n の発生順序がバスブレーク発生順序指定データ 6 1 a に基づいて指定された発生順序に一致した場合に、ブレーク発生信号 6 0 a を出力する。

#### 【 0 0 6 3 】

ここでは、第 1 のバスブレークポイントの検出を示す第 1 のバスブレーク発生信号 6 2 a、第 2 のバスブレークポイントの検出を示す第 2 のバスブレーク発生信号（図示しない）、第 3 のバスブレークポイントの検出を示す第 3 のバスブレーク発生信号 6 2 n がその順序で出力された際に、ブレーク信号発生部 6 2 によって第 3 のバスブレーク発生信号 6 2 n が出力された時点でブレーク発生信号 6 0 a が出力される。

#### 【 0 0 6 4 】

以上の構成であるから図 4 に示したブレークボード 6 0 を用いることで、特定の分岐条件が実行された際にユーザプログラムの実行をブレークさせたり、各種の入出力装置に対して特定の順序でアクセスがなされた際にユーザプログラムの実行をブレークさせたりすることができる。これにより、複雑な分岐条件や特定のアクセス状態の場合にのみユーザプログラムの実行をブレークさせて、デバッグを行なうことができる。

#### 【 0 0 6 5 】

なお、図 2 ～ 図 4 に示した各ブレークボード 4 0、5 0、6 0 の機能を全て備えたブレークボードを作成して、1 枚のブレークボードでマップブレーク機能、

バスブレーク機能、シーケンシャルブレーク機能の各機能に対応できるようにしてもよい。

【 0 0 6 6 】

【発明の効果】

以上説明したようにこの発明に係るデバッグ装置は、ターゲットボードにブレークボードを接続し、このブレークボードによってブレーク信号を発生させる構成としたので、オンチップデバッグ機能を利用したデバッグ装置においてチップ上に設けられたブレーク回路数の制約を受けることなく、ブレーク機能を拡張することができる。これによって、オンチップデバッグ機能を利用したデバッグ装置においてもユーザプログラムのデバッグを効率よく行なうことができる。

【図面の簡単な説明】

【図 1】

この発明に係るデバッグ装置の全体構成を示すブロック構成図である。

【図 2】

マップブレーク機能を備えたブレークボードの一具体例を示すブロック構成である。

【図 3】

バスブレーク機能を備えたブレークボードの一具体例を示すブロック構成である。

【図 4】

シーケンシャルブレーク機能を備えたブレークボードの一具体例を示すブロック構成図である。

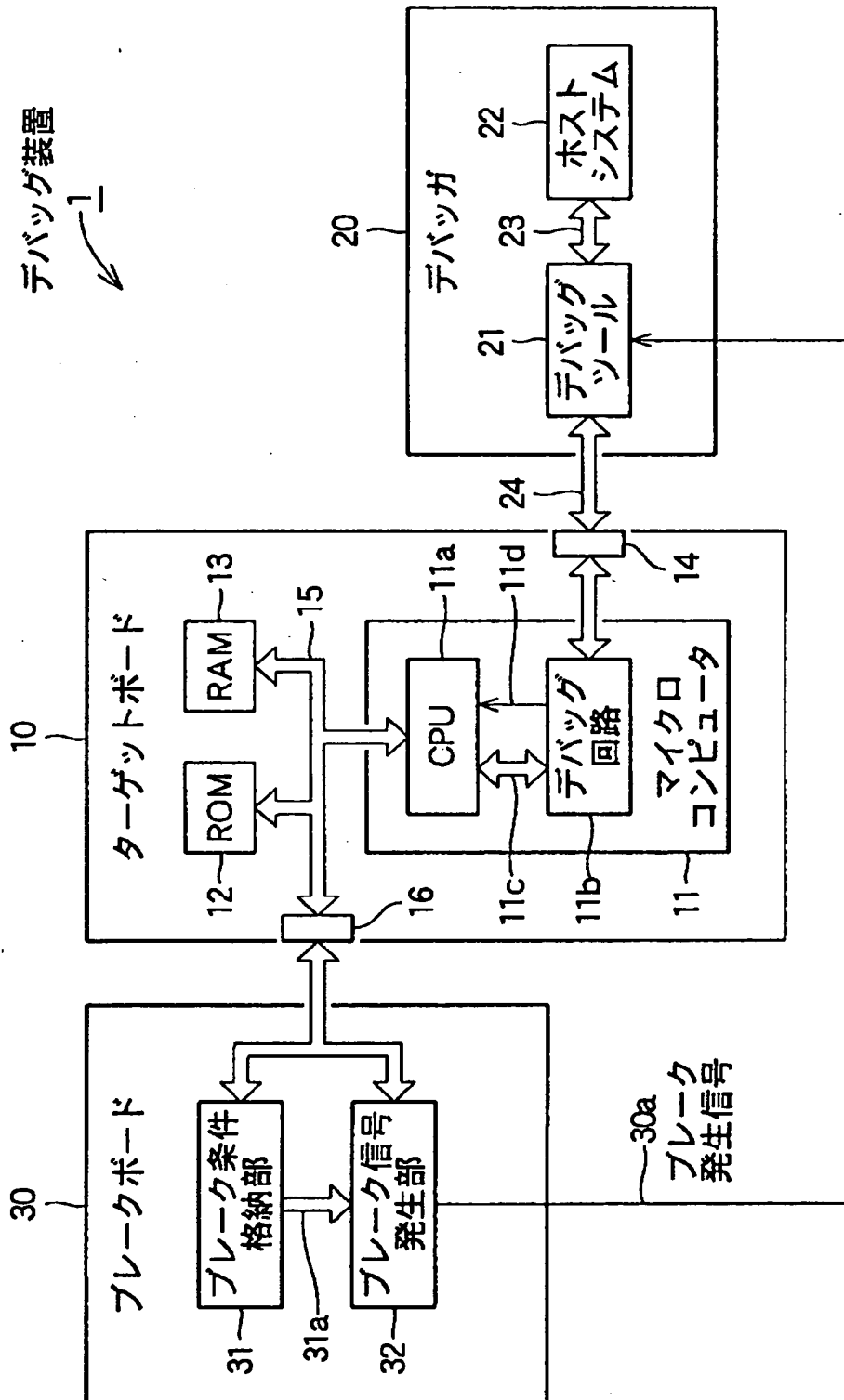
【符号の説明】

- 1    デバッグ装置
- 1 0   ターゲットボード
- 1 1     マイクロコンピュータ
- 1 1 a   CPU
- 1 1 b   デバッグ回路
- 1 4   デバッグ用インタフェース端子群

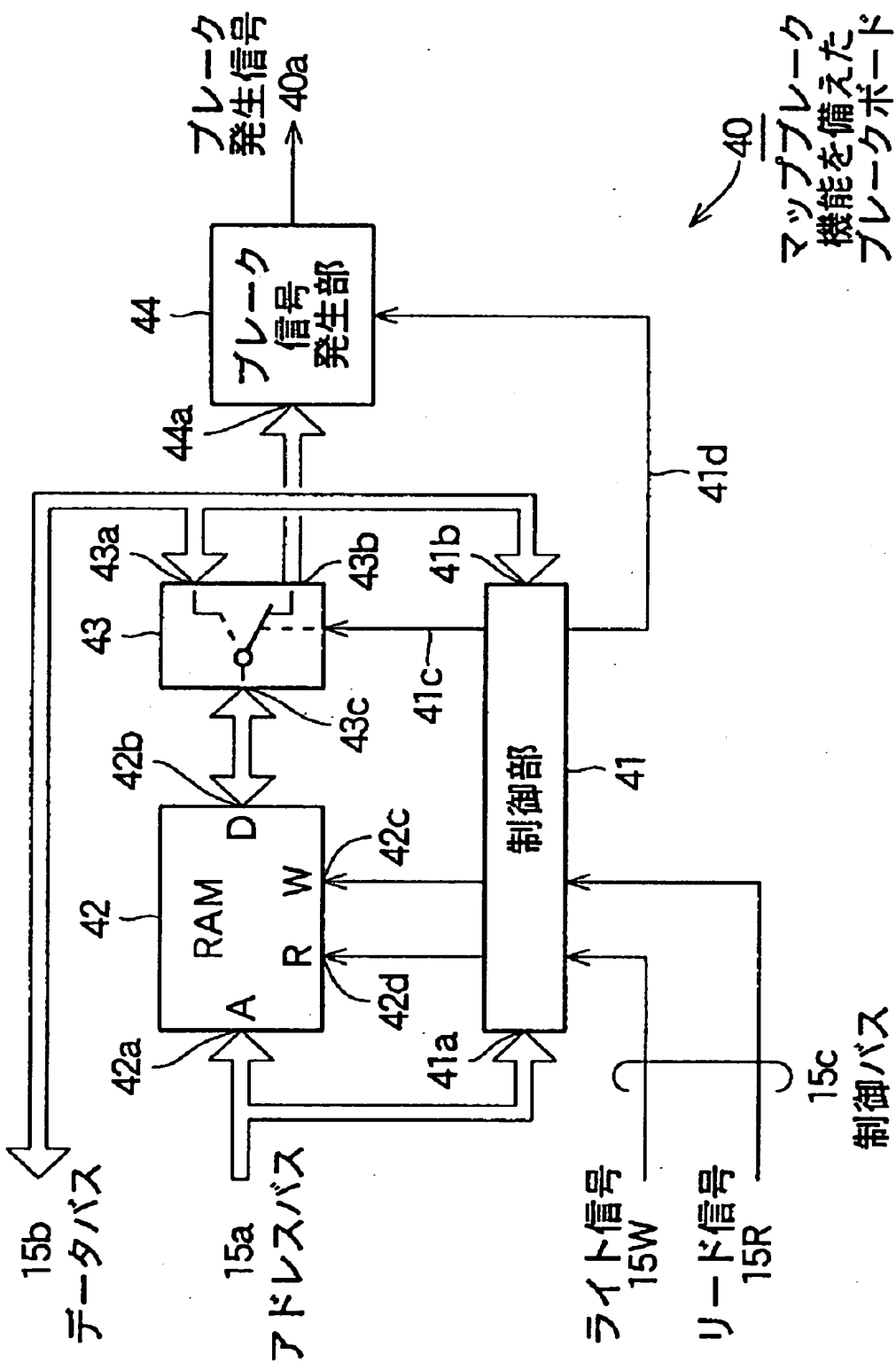
- 15 各種バス
  - 15a アドレスバス
  - 15b データバス
  - 15c 制御バス
- 16 バスインタフェース端子群
- 20 デバッガ
  - 21 デバッグツール
  - 22 ホストシステム
- 30, 40, 50 ブレークボード
  - 30a, 40a, 50a, 60a ブレーク発生信号
- 31, 52 ブレーク条件格納部
- 32, 44, 53, 62 ブレーク信号発生部
- 42 ブレーク条件格納部を構成するRAM
- 61 ブレーク条件格納部を構成するバスブレーク発生順序指定データ格納部

【書類名】 図面

【図1】

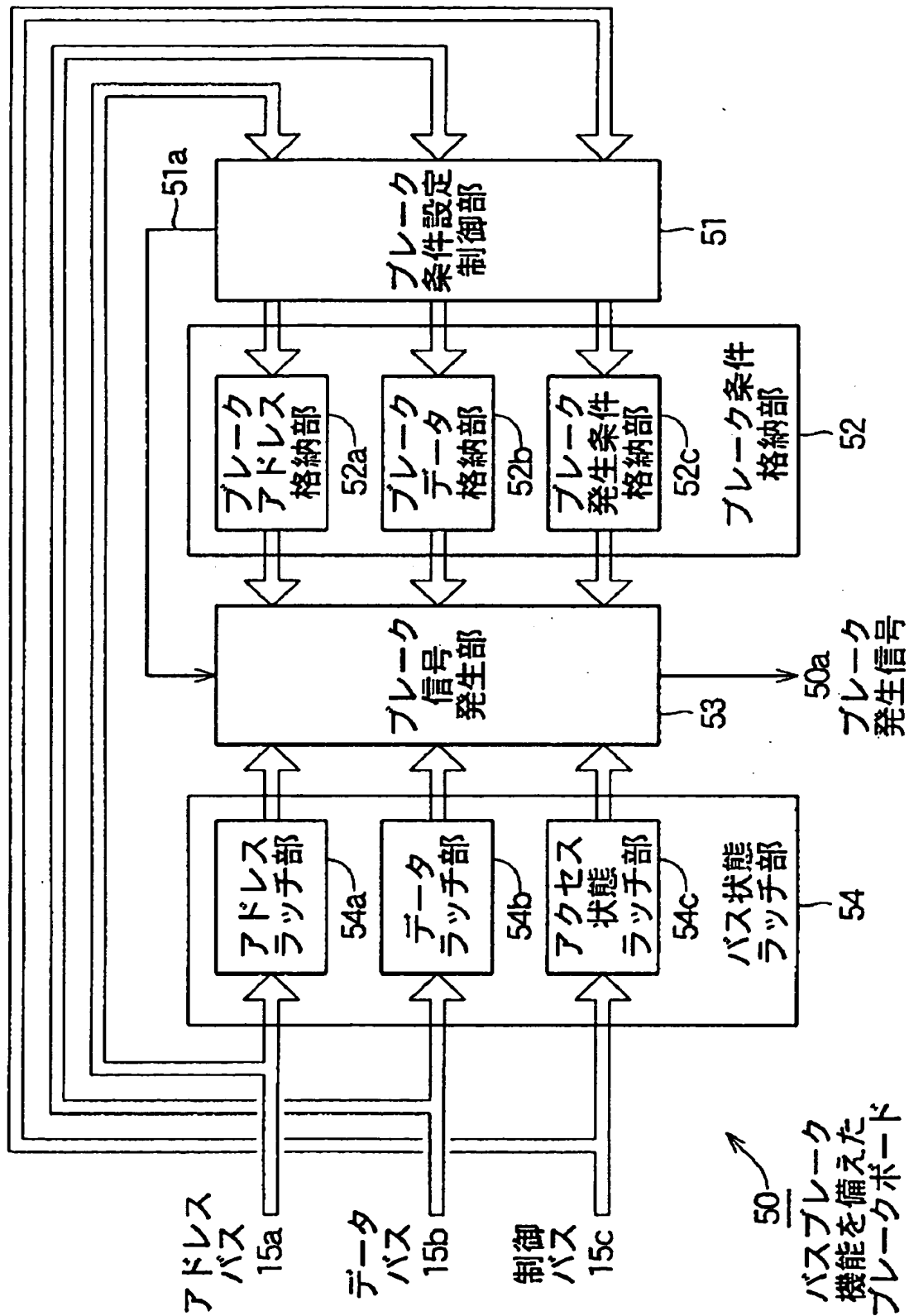


【図 2】

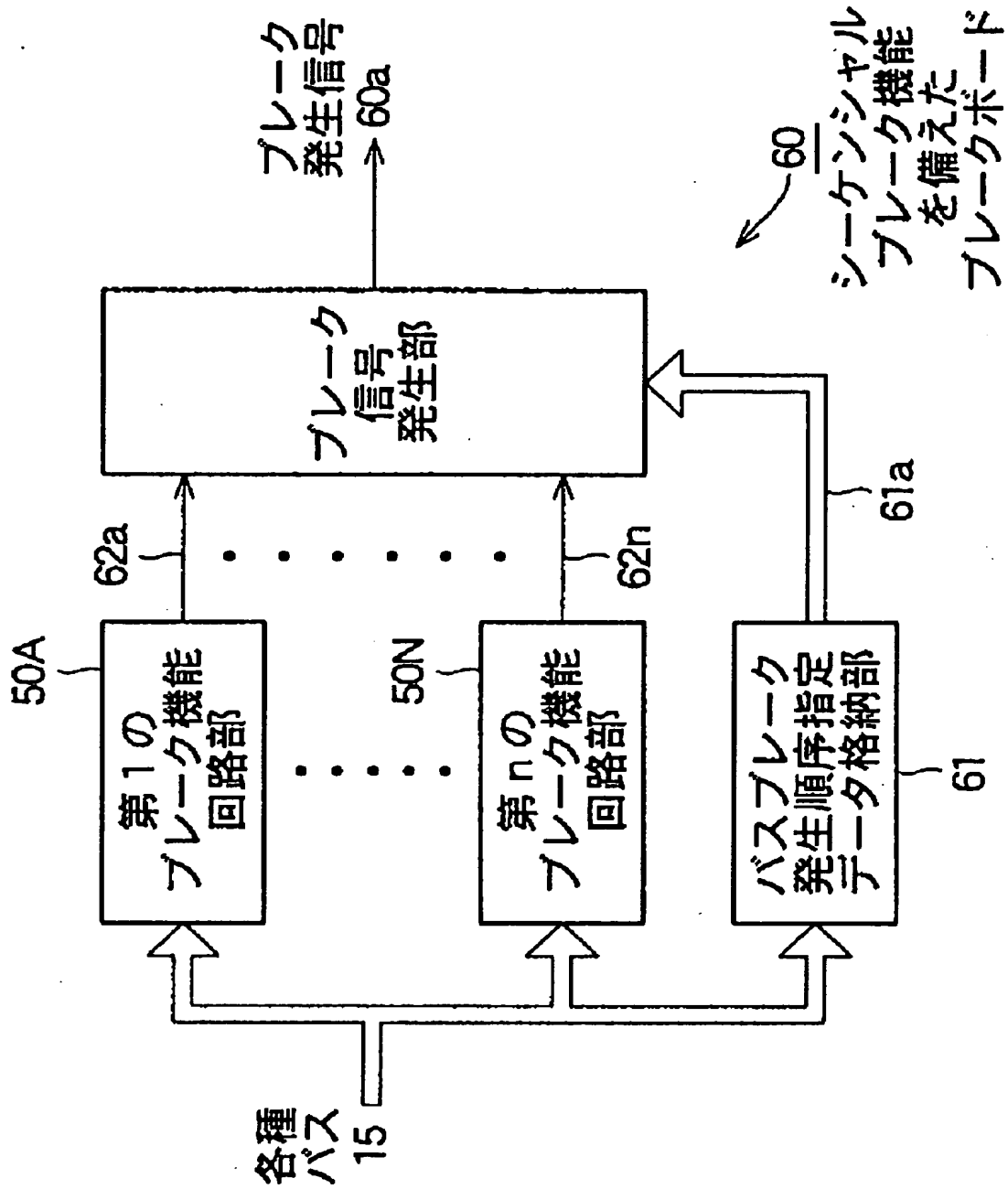




【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 オンチップデバッグ機能を利用したデバッグ装置において、外部回路を用いてブレーク機能を拡張する。

【解決手段】 オンチップデバッグ機能を実現するためのデバッグ回路 1 1 b を内蔵したマイクロコンピュータ 1 1 が実装されたターゲットボード 1 0 から各種バス 1 5 を引き出してブレークボード 3 0 に接続する。ブレークボード 3 0 にブレーク条件格納部 3 1 とブレーク信号発生部 3 2 を設ける。デバッガ 2 0 側からデバッグ回路 1 1 b、CPU 1 1 a、各種バス 1 5 を介してブレーク条件格納部 3 1 にブレーク条件を書き込む。その後、ROM 1 2 に格納されているユーザプログラムを実行させる。ブレーク信号発生部 3 2 は、各種バス 1 5 上の信号を監視しており、各種バス 1 5 上の信号がブレーク条件に一致した際にブレーク発生信号 3 0 a を出力する。このブレーク発生信号 3 0 a に基づいてユーザプログラムを実行をブレーク（停止）させる。

【選択図】 図 1

特 2000-403225

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社